



(19)

(11) Publication number:

11274404 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 10075179

(51) Int. Cl.: H01L 27/04 H01L 21/822

(22) Application date: 24.03.98

(30) Priority:

(43) Date of application
publication: 08.10.99(84) Designated contracting
states:

(71) Applicant: NEC CORP

(72) Inventor: HIRATA MORIHISA

(74) Representative:

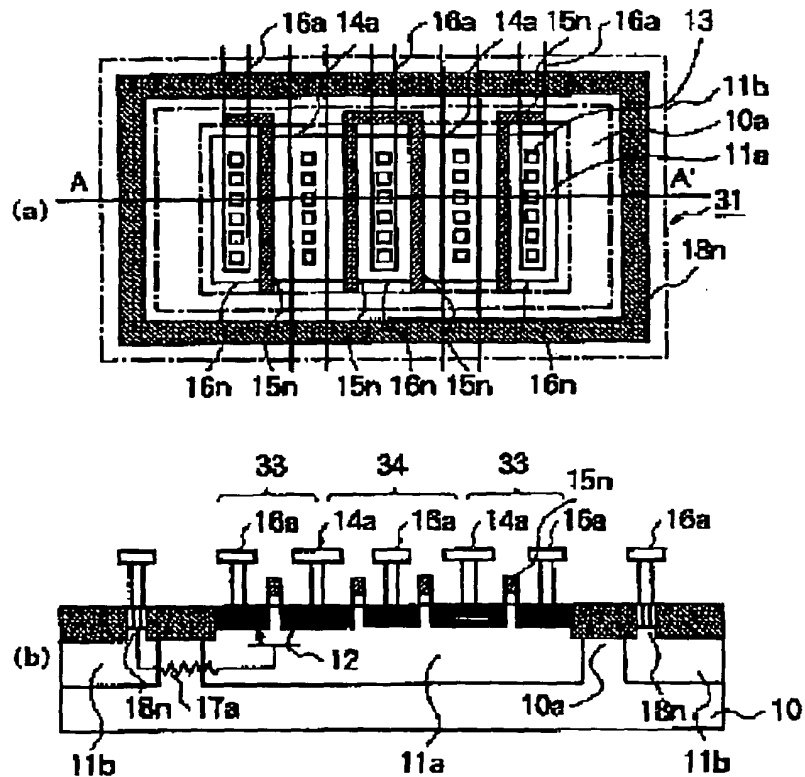
(54) SEMICONDUCTOR DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To attain protection transistors suitable for a micronized semiconductor device by a method wherein either a second conductive type region or a low concentration first conductive type region having lower impurity concentration than a well region is arranged between a guard ring and a source and drain region.

SOLUTION: A second P well 11b region is formed around the periphery of a first P well 11a and spaced at a predetermined interval, and a guard ring 18n comprising a P⁺ diffusion region in a region of the second P well 11b is formed so as to enclose transistors 33, 34. A low concentration P type region 10a having lower impurity concentration than a P well 11 remains beneath a field oxide film 19 inside the guard ring 18n. A drain 14n of the transistor 33 adjacent to the guard ring 18n and the transistor 34 unadjacent to the guard ring 18n is connected to a pad 22 and an inner circuit via a wiring layer 14a, and a source 16n thereof is connected to GND together with a gate 15n via a wiring layer 16a.

COPYRIGHT: (C)1999,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-274404

(43) 公開日 平成11年(1999)10月8日

(51) Int.Cl.⁹

H 0 1 L 27/04
21/822

識別記号

F I

H 0 1 L 27/04

H

審査請求 有 請求項の数 8 O L (全 11 頁)

(21) 出願番号 特願平10-75179

(22) 出願日 平成10年(1998)3月24日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 平田 守央

東京都港区芝五丁目7番1号 日本電気株式会社内

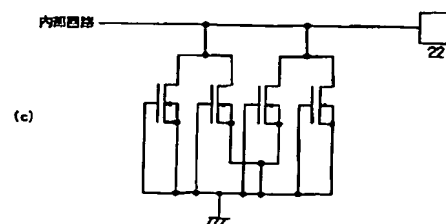
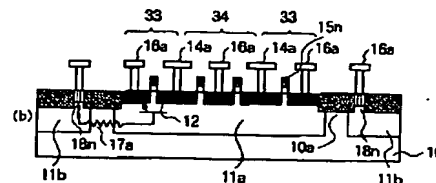
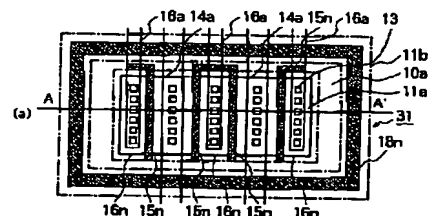
(74) 代理人 弁理士 稲垣 清

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 微細化した半導体装置に好適な高耐圧の静電気放電 (E S D) 対策を提供することである。L S I の少チップ化、多ピン化に伴い、I / O ポートの狭ピッチ化が進み、保護トランジスタとラッチアップ対策のためのガードリングの距離が小さくなり、E S D 耐圧が低下する問題が顕在化してきた。本発明は、ピッチが狭くても高いE S D 耐圧を有するI / O ポートを提供できる。

【解決手段】 ガードリングと保護トランジスタ列を有する半導体装置半導体装置において、ガードリングと、保護トランジスタ列との間の基板抵抗率を他の部分よりも大きくすることを特徴とする半導体装置。



【特許請求の範囲】

【請求項1】 第1導電型又は第2導電型の基板領域を有する半導体基板と、該半導体基板の表面部分に形成される第1導電型のウエル領域と、該ウエル領域内の基板表面部分に配設される第1導電型のガードリングと、前記ウエル領域内の前記ガードリングの内側部分に配設される第2導電型のソース・ドレイン領域を有する保護トランジスタとを備える半導体装置において、前記ガードリングと前記ソース・ドレイン領域との間に、第2導電型領域、又は、前記ウエル領域よりも不純物濃度が低い低濃度第1導電型領域の何れかを配設したことを特徴とする半導体装置。

【請求項2】 前記低濃度第1導電型領域は基板領域であることを特徴とする、請求項1に記載の半導体装置。

【請求項3】 前記第2導電型領域又は低濃度第1導電型領域は前記ソース・ドレイン領域を囲むことを特徴とする、請求項1又は2に記載の半導体装置。

【請求項4】 前記保護トランジスタは相互に並んで並列接続された複数の保護トランジスタを含み、前記第2導電型領域又は低濃度第1導電型領域は、前記複数の保護トランジスタの内側でガードリングに隣接する保護トランジスタのソース領域と前記ガードリングとの間に配設されることを特徴とする、請求項1又は2に記載の半導体装置。

【請求項5】 前記第2導電型領域又は低濃度第1導電型領域は、フィールド酸化膜の下側に配設されることを特徴とする、請求項1乃至4のいずれかに記載の半導体装置。

【請求項6】 前記第2導電型領域又は低濃度第1導電型領域が前記ガードリングに隣接する保護トランジスタのソース領域と同電位に維持されることを特徴とする、請求項4に記載の半導体装置。

【請求項7】 第1導電型又は第2導電型の基板領域を有する半導体基板と、該半導体基板の表面部分に形成される第1導電型のウエル領域と、該ウエル領域内の基板表面部分に配設される第1導電型のガードリングと、前記ウエル領域内の前記ガードリングの内側部分に配設される第2導電型のソース・ドレイン領域を有し、相互に並んで並列接続された複数の保護トランジスタとを備える半導体装置において、前記複数の保護トランジスタの内側で、ガードリングに隣接する保護トランジスタのゲートとソース領域とを接続し、ガードリングに隣接しない保護トランジスタのゲートをプリバッファ出力に接続させることを特徴とする半導体装置。

【請求項8】 ドレイン領域の下部に該ドレイン領域よりも不純物濃度が低い第2導電型領域を配設したことを特徴とする、請求項7に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置に関

し、特に、半導体装置の内部回路を静電気破壊から保護する静電保護トランジスタの構造に関する。

【0002】

【従来の技術】 一般に、半導体装置は、製造工程や検査工程、あるいは、電子機器に組み込む段階で静電気が侵入すると、半導体装置の内部回路が破壊される可能性がある。このため、半導体装置の外部との入出力部には、通常、保護トランジスタを設けている。

【0003】 図10は、一般的な半導体装置における入出力回路部を示しており、複数の入出力回路部のうち、2回路分を図示している。入出力回路部は内部回路を取り囲むように半導体装置のチップ外周部に設けられ、各入出力回路部は、N型トランジスタ31とP型トランジスタ32とが一对となって構成される。入出力回路部は、基板上部の配線によって入力保護素子、または出力バッファに作り分けられ、或いは、一部が保護素子で、残りの部分が出力バッファトランジスタとして形成される。1つのトランジスタの構成をN型トランジスタ31を例にして説明する。11nはウエル領域、14nはドレイン拡散領域、15nはゲート電極、16nはソース拡散領域である。本実施の形態では、1つのN型トランジスタ31は4つの保護トランジスタで構成され、ドレイン拡散領域14nは2つのゲート15nに対して共通に接続される。同様に、中央に配置されたソース拡散領域16nも2つのゲート15nに対して共通に接続される。13はスルーホールで、ドレイン拡散領域14n、ソース拡散領域16nと上層配線とを接続する。18nはガードリングで、ドレイン拡散領域14nとソース拡散領域16nを囲むように形成され、N型トランジスタ31では、接地電位（GND）に接続される。トランジスタの周囲に配設し、ウェルまたは基板の電位を固定するのに利用する。N型トランジスタ31の場合、ドレイン拡散領域14nとソース拡散領域16nは、N+拡散層で形成され、ガードリング18nはP+拡散層で形成され、ウェル11nはP型である。逆に、P型トランジスタ32の場合、ドレイン拡散領域14pとソース拡散領域16pは、P+拡散層で形成され、ガードリング18pはN+拡散層で形成され、ウェル11pはN型である。また、ガードリング18pは電源電位（VDD）に接続される。

【0004】 図10(a)は、入出力回路部を入力保護素子として形成した場合の平面図を示し、図11(a)にその等価回路図を示す。N型トランジスタ31とP型トランジスタ32のドレイン拡散領域14n、14pは、配線層14aを通してパッド22と内部回路の入力バッファ（不図示）に接続される。N型トランジスタ31のソース拡散領域16nは、スルーホール13を通してゲート電極15nと接続され、接地電位（GND）に接続される。また、P型トランジスタ32のソース拡散領域16pは、スルーホール13を通してゲート電極1

5pと接続され、電源電位(VDD)に接続される。このように接続することで、入出力回路部は入力保護素子として機能する。

【0005】図10(b)は、入出力回路部を出力バッファとして形成した場合の平面図を示し、図11(b)にその等価回路図を示す。N型トランジスタ31とP型トランジスタ32のドレイン拡散領域14n、14pは、配線層14aを通してパッド22に接続され、ゲート電極15n、15pは内部回路の出力プリバッファ(不図示)に接続される。このとき、出力プリバッファが2つの相補出力を有するときは2本の信号線で接続され、出力プリバッファが1つの出力のときは1本の信号線(不図示)で接続される。N型トランジスタ31のソース拡散領域16nは、スルーホール13を通して接地電位(GND)に接続され、P型トランジスタ32のソース拡散領域16pは、スルーホール13を通して電源電位(VDD)に接続される。このように接続することで、入出力回路部はインバータとして機能するとともに、保護トランジスタとしても機能する。

【0006】図11(c)は、一部が入力保護素子で、残りの部分が出力バッファトランジスタとして形成した場合の等価回路図を示す。この場合、N型トランジスタ31とP型トランジスタ32Pを構成する4個のトランジスタのうち、2個を入力保護素子として利用し、残りを出力バッファとして利用するようにしたものである。それぞれの接続は前述と同様、N型トランジスタ31とP型トランジスタ32のドレイン拡散領域14n、14pは、配線層14aを通してパッド22に接続される。入力保護素子を形成する保護トランジスタのソース拡散領域16nは、スルーホール13を通してゲート電極15nと接続され、接地電位(GND)に接続される。また、P型トランジスタ32のソース拡散領域16pは、スルーホール13を通してゲート電極15pと接続され、電源電位(VDD)に接続される。一方、出力バッファとして形成するトランジスタのゲート電極15n、15pは内部回路の出力プリバッファ(不図示)に接続され、N型トランジスタ31のソース拡散領域16nは、スルーホール13を通して接地電位(GND)に接続され、P型トランジスタ32のソース拡散領域16pは、スルーホール13を通して電源電位(VDD)に接続される。このように接続することで、入出力回路部は入力保護素子と出力バッファの2つの機能を有する。

【0007】次に、図12をもとに、入出力回路部を入力保護素子として形成した場合の保護動作を説明する。図12(a)は、N型トランジスタ31のガードリング18nとこれに隣接する保護トランジスタの断面図を示し、図12(b)は、保護トランジスタの入出力特性を示す。図12(a)において、ドレイン14nとソース16nはN+拡散層で、Pウエル11からなるゲート直下のチャネル領域はP型となっているので、ここにNP

N型の寄生トランジスタ12が形成される。即ち、ドレイン16nがコレクタ、Pウエル11がベース、ソース16nがエミッタに相当する。コレクタ14cはパッド22に接続され、エミッタ16cはガードリング18nとともにGNDに接続される。ベース11cとガードリング18nとの間には寄生抵抗17が形成される。通常は、ベース11cに電圧が生じていないので、寄生トランジスタ12はオフしている。

【0008】次に、図12(b)をもとに、保護トランジスタの動作原理を説明する。同図(b)の横軸はエミッターコレクタ間電圧(ソースドレイン間電圧)であり、縦軸はコレクタ電流である。いま、パッド22から正電圧のESD(Electrostatic Discharge)サージが侵入したすると、コレクタ14cとエミッタ16cの間に大きな電界が生じ、ゲート15n近傍のドレイン拡散領域14nが最初にブレイクダウンし始める(図12(b)③)。このブレイクダウンにより、わずかなブレイクダウン電流がパッド22からPウエル11に流れ込み、寄生抵抗17を通してガードリング18nからGNDへ流れ出る(図12(a)①)。このブレイクダウン電流が寄生抵抗17に流れると、寄生抵抗17の両端に電圧が発生し、ベース11cの電位を上昇させる。ベース11cの電位がエミッタ16cに対して0.6~0.7V(寄生トランジスタの閾値電圧VBE)を越えると、寄生トランジスタ12がオンして、コレクタ14cからエミッタ16cに電流が流れ始める(図12(a)②)。このときのコレクタ電圧を初期ブレイクダウン電圧V1とし、そのときのコレクタ電流をI1とする(図12(b)④)。寄生トランジスタ12がオンすると、エミッターコレクタ間電圧は急速に低下し、寄生トランジスタ12の性能で決まる電圧Vsnp(スナップバック電圧)まで下がる(図12(b)⑤)。

【0009】ESDサージによる電流がさらに増加すると、この電流は、寄生トランジスタ12と寄生抵抗17を通してGNDに流れるようになる(図12(a)①+②)。しかし、寄生トランジスタ12には内部抵抗があり、コレクタ電流の増加とともにエミッターコレクタ間電圧は増加する(図12(b)スナップバック領域)。エミッターコレクタ間電圧が寄生トランジスタ12の耐圧を越えると、寄生トランジスタ12は破壊する(図12(b)⑥)。寄生トランジスタ12が破壊するコレクタ電流をImaxで、そのときのエミッターコレクタ間電圧をVmaxとする(図12(b))。P型トランジスタ32についても同様の動作をするが、寄生トランジスタはPNP型であり、負電圧のESDサージに対して保護動作をする点がN型トランジスタ31と異なる。このように、パッド22に数万VのESDサージが印加されても、N型トランジスタ31とP型トランジスタ32とで形成される保護トランジスタにより、ドレイン14

nの電圧を数10Vに抑えることができる。従って、ESDサージによる高電圧が内部回路に伝わることなくなり、保護トランジスタは内部回路が破壊することを防止する。

【0010】

【発明が解決しようとする課題】上記保護トランジスタにおいて、初期ブレイクダウン電圧V1は寄生抵抗17の大きさで定まる。内部回路を保護するためには、電圧V1はできる限り低いことが望ましい。しかし、通常に扱う信号で動作すると内部回路が機能しなくなるので、初期ブレイクダウン電圧V1は通常の信号電圧に比べて数倍以上の電圧であることが必要である。所望の初期ブレイクダウン電圧V1を確保するためには、Pウェル11の寄生抵抗17の値を所望の値に設定する必要がある。Pウェル11の不純物濃度は内部回路を構成するトランジスタの性能などで決められ、Pウェル11の不純物濃度を変えることで寄生抵抗17の値を決めることができない。仮に、Pウェル11の不純物濃度を変えるためには、内部回路と入出力回路部で別々のウェル形成工程を設けなければならない。これは、工程数が増加し、半導体装置のコストアップにつながり、好ましくない。

【0011】従って、寄生抵抗17の値を所望の値に設定するには、ソースとガードリングとの間の間隔20(図9(a))を所定の間隔に設定しなければならない。一方、半導体装置はコストダウンや高速動作化が求められており、年々内部回路を構成する素子の微細化が進んでいる。半導体装置を微細化するためには、比例縮小則に従って基板の不純物濃度を増加しなければならない。不純物濃度が増加すると、基板抵抗率は減少するため、ガードリングとソースとの間の間隔を大きくする必要がある。ここで、不純物濃度が $2.0 \times 10^{17} \text{ cm}^{-3}$ のとき、ソースとガードリングとの間の間隔は $10 \mu\text{m}$ とした。しかし、この間隔を大きくすると、保護トランジスタのレイアウト面積が増大するため、集積度向上に支障となる。

【0012】本発明は、上記事情に鑑みて成されたものであり、その目的とするところは、微細化した半導体装置に好適な保護トランジスタの構造を提供することである。

【0013】

【課題を解決するための手段】上記目的を達成するために、本発明の半導体装置は、第1導電型又は第2導電型の基板領域を有する半導体基板と、該半導体基板の表面部分に形成された第1導電型のウェル領域と、該ウェル領域内の基板表面部分に配設される第1導電型のガードリングと、前記ウェル領域内の前記ガードリングの内側部分に配設される第2導電型のソース・ドレイン領域を有する保護トランジスタとを備える半導体装置において、前記ガードリングと前記ソース・ドレイン領域との間に、第2導電型領域又は前記ウェル領域よりも不純

物濃度が低い低濃度第1導電型領域の何れかを配設したことを特徴とする。

【0014】前記低濃度第1導電型領域は、例えば一般的にウェルよりも不純物濃度が低い基板領域で構成することができる。また、第2導電型領域又は低濃度第1導電型領域は、前記ソース・ドレイン領域を囲む領域とすることができる。或いは、保護トランジスタが相互に並んで並列接続された複数の保護トランジスタを含む場合には、複数の保護トランジスタの中でガードリングに隣接する保護トランジスタのソース領域と前記ガードリングとの間にのみ配設することもできる。第2導電型領域又は低濃度第1導電型領域は、フィールド酸化膜の下側に配設することができ、またソースと同電位に維持することもできる。

【0015】本発明の半導体装置によれば、保護トランジスタのソースとガードリングとの間のPウェル層内部に低濃度第1導電型領域又は第2導電型領域を設けたことにより、ドレイン領域とガードリングとの間の寄生抵抗を大きくすることができるので、小さなブレイクダウン電流によってもスナッチバックを確実に発生させることができる。つまり、ドレイン領域とガードリングとの間の間隔が小さくても寄生バイポーラトランジスタを動作させてスナッチバック電流を流すことができる。従って、半導体装置の微細化を可能にする。

【0016】また、本発明の半導体装置は、第1導電型の基板領域を有する半導体基板と、該半導体基板の表面部分に形成された第1導電型のウェル領域と、該ウェル領域内の基板表面部分に配設される第1導電型のガードリングと、前記ウェル領域内の前記ガードリングの内側部分に配設される第2導電型のソース・ドレイン領域を有し、相互に並設且つ並列接続された複数の保護トランジスタとを備える半導体装置において、前記複数の保護トランジスタの中で、ガードリングに隣接する保護トランジスタのゲートはソース領域と接続し、ガードリングに隣接しない保護トランジスタのゲートをプリバッファ出力に接続させることを特徴とする。

【0017】前記複数の保護トランジスタの中で、ガードリングに隣接する保護トランジスタのゲートとソース領域とを接続し、且つドレイン領域の下部に該ドレイン領域よりも不純物濃度が低い第2導電型領域を配設することが好ましい。この場合、ガードリングに隣接するトランジスタのブレイクダウン電圧とガードリングに隣接しないトランジスタのブレイクダウン電圧との差を大きくすることができ、ガードリングに隣接しないトランジスタは保護能力が高く、このトランジスタを優先的にスナッチバックに入れることで内部回路を有効に保護することができる。

【0018】また、ガードリングに隣接する保護トランジスタのゲートとソースとを同電位にすることにより、ガードリングに隣接する保護トランジスタのブレイクダ

ウン電圧をガードリングに隣接しないトランジスタより少なくとも低くならないようにし、ガードリングに隣接しないトランジスタを優先的にスナップバックに入れることができる。

【0019】

【発明の実施の形態】本発明の半導体装置に係わる入出力回路部は、従来の技術で説明したように一対のN型トランジスタとP型トランジスタで構成される。入出力回路部は、基板上部の配線によって入力保護素子、または出力バッファに作り分けられ、或いは、一部が保護素子で、残りの部分が出力バッファトランジスタとして形成されることもある。これら配線は従来と同じであり、説明を省略する。また、以下の説明では、入出力回路部のうち、N型トランジスタの詳細な構造について説明するが、P型トランジスタについても極性が異なるだけで、同様の構造を有する。

【0020】【第1の実施の形態】図1は、本発明の第1の実施形態の半導体装置に係わるN型トランジスタの構造を示し、同図(a)はN型トランジスタの平面図、同図(b)はA-A'断面図、同図(c)は等価回路図を示す。

【0021】図1(a)、(b)、(c)を参照してN型トランジスタの構成を説明する。P型基板10上に、第1のPウェル11aが形成されており、第1のPウェル11a領域内に4つのトランジスタ33、34が形成される。また、第1のPウェル11aの周囲には、所定の間隔を空けて第2のPウェル11b領域が形成され、第2のPウェル11b領域内にP+拡散領域を成すガードリング18nがトランジスタ33、34を取り囲むように形成される。また、ガードリング18nの内側には、Pウェル11よりも不純物濃度が低い低濃度P型領域10aがフィールド酸化膜19の下に残されている。4つのトランジスタ33、34のうち、ガードリングに隣接するトランジスタを第1のトランジスタ33、ガードリングに隣接しないトランジスタを第2のトランジスタ34とする。これらトランジスタ33、34のドレイン14nは配線層14aを通してパッド22と内部回路に接続され、ソース16nは配線層16aを通して、ゲート15nとともにGNDに接続される。本実施の形態において、第1と第2のPウェル11a、11bの深さは $3\mu\text{m}$ で、不純物濃度は $1 \times 10^{17} \text{cm}^{-3}$ 、第1と第2のPウェルの間隔は $0.75\mu\text{m}$ とした。また、ガードリング18nの幅は $1\mu\text{m}$ 、トランジスタサイズは全て $W=100\mu\text{m}$ 、 $L=0.4\mu\text{m}$ とし、低濃度P型領域10aの不純物濃度は、 $1 \times 10^{17} \text{cm}^{-3}$ とした。

【0022】図1(b)を参照して動作を説明する。NPN型の寄生トランジスタ12は、従来の技術と同様、ガードリングに隣接する第1のトランジスタ33部分に形成され、ドレイン14nがコレクタ、ソース16nが

エミッタ、第1のPウェル11aがベースになる。寄生抵抗17aは、前記ベースとガードリングとの間に形成され、第1のPウェル11aと低濃度P型領域10aと第2のPウェル11bとで形成される。パッド22にESDサージが印加されると、このサージは配線層14aを通してドレインに伝わり、ドレイン拡散領域14nと第1のPウェル11aとの境界でブレイクダウンを生じさせる。これにより、ESDサージは、寄生抵抗17a、即ち、第1のPウェル11aから低濃度P型領域10aと第2のPウェル11b、ガードリング18nを経由してGNDに流れ出る。ESDサージによる電流が流れると、寄生抵抗17aに電圧が生じ、寄生トランジスタ12のベース電圧が閾値 V_{BE} を越えると、寄生トランジスタ12に電流が流れ、コレクタの電圧を一定値以下に抑えることができる。このため、入力保護素子はESDサージが内部回路に伝わらないようにでき、内部回路を保護する。

【0023】本実施の形態の寄生抵抗17aは、前述のとおり、第1のPウェル11aと低濃度P型領域10aと第2のPウェル11bとで形成される。低濃度P型領域10aは第1と第2のPウェル11a、11bと比べ、不純物濃度が2桁小さいので、抵抗率は大きくなる。従って、寄生抵抗17aの抵抗値を従来と同等の抵抗値とするためには、Pウェル11だけで構成した寄生抵抗17よりも短い距離で形成できる。従来、ガードリングに隣接する第1のトランジスタ33のソース拡散領域16nとガードリング18nとの間隔は、 $10\mu\text{m}$ 程度であったものが、本実施の形態では、 $3\mu\text{m}$ 程度で従来と同等の抵抗値が得られる。このため、N型トランジスタ31のサイズを小さくすることができ、半導体装置のチップサイズを低減できる。また、第1と第2のPウェル11a、11bの間に形成される低濃度P型領域10aは、ウェル形成用マスクパターンを変更するだけでよく、特別な製造工程を追加することなく形成することができる。

【0024】【第2の実施の形態】図2は本発明の第2の実施の形態の半導体装置に係わるN型トランジスタ31を示し、同図(a)は、N型トランジスタ31の平面図で、同図(b)は(a)のA-A'断面を示す。同図(a)は、配線層の図示を省略している。本実施の形態の半導体装置は、低濃度第1導電型領域を成すP型基板領域10bが、ガードリングに隣接する保護トランジスタのソース16とガードリング18との間にのみ配置されている点において、第1の実施の形態と異なる。即ち、P型基板領域10bは、ゲート15の長手方向と平行なガードリング18nの辺と第1のトランジスタ33との間に形成され、ゲート15の長手方向と直交するガードリング18nの辺と第1のトランジスタ33との間には形成されない。その他の構成は、第1の実施の形態と同様である。図2(b)に示すように、第1のトラン

ジスタ33とガードリング18nとの間のP型基板領域10bの部分は、フィールド酸化膜19の下方に形成されている。本実施の形態の寄生抵抗17bは、第1の実施の形態と同様、第1のPウェル11aと低濃度P型領域10bと第2のPウェル11bとで形成される。近年、半導体装置の入出力端子の数は数百本に及ぶ場合がある。このような半導体装置の入出力回路部は、半導体装置を構成するチップの周辺部に配置されるので、チップの辺に平行な方向(図2(a)で左右方向)を小さくしないと、多数の入出力回路部を配置しきれなくなる。これに対し、チップの辺に直交する方向(図2(a)で上下方向)は余裕があるので、従来と同等の間隔が確保できる。このため、左右方向には、低濃度P型領域10bを配設することで、従来と同等の寄生抵抗の値を確保し、上下方向には、第1と第2のPウェル11a、11bとが繋がっているものの、従来と同等の間隔を確保することで、従来と同等の寄生抵抗の値を確保することができる。低濃度P型領域10aの幅としては、例えば3 μ m程度、上下方向のガードリングとソースとの間隔は、例えば10 μ m程度とした。この結果、入力保護素子のブレイクダウン電圧を従来と同じにできる。また、第1と第2のPウェル11a、11bの間に形成される低濃度P型領域10bは、ウェル形成用マスクパターンを変更するだけでよく、特別な製造工程を追加することなく形成することができる。

【0025】[第3の実施の形態]図3は、本発明の第3の実施の形態の半導体装置に係わるN型トランジスタ31を示し、同図(a)は、N型トランジスタ31の平面図で、同図(b)は(a)のA-A'断面を示す。同図(a)は、配線層の図示を省略している。本実施の形態の半導体装置は、第1実施の形態における第1と第2のウェル領域11a、11bの間の領域が第2導電型領域を成すNウェル25である点において、第1の実施の形態と異なる。その他の構成は、第1の実施の形態と同様である。但し、寄生抵抗17cの形成経路は、第1実施の形態とは異なる。Nウェル25は第1、第2のウェル領域11a、11bと逆導電型なので、例えば、第1のウェル領域11aに正のESDサージが侵入した時、その電荷はNウェル25に移動しうるが、Nウェル25から第2のウェル領域11bへは移動できない。このため、第1のウェル領域11aに侵入した正のESDサージは、P型基板10と第2のPウェル11bを通してガードリング18からGNDへ流れる。従って、寄生抵抗17cは、第1のウェル領域11aとP型基板10と第2のPウェル11bとで形成される。寄生抵抗17cの形成経路の中に、第1の実施の形態と同様、低濃度のP型基板10が含まれるので、寄生抵抗17cはPウェル11だけで構成するよりも短い距離で形成できる。従来、ガードリング18nに隣接する第1のトランジスタ33のソース拡散領域16nとガードリング18nとの

間隔は、10 μ m程度であったものが、本実施の形態では、3 μ m程度で従来と同等の抵抗値が得られる。このため、N型トランジスタ31のサイズを小さくすることができ、半導体装置のチップサイズを低減できる。また、第1と第2のPウェル11a、11bの間に形成されるNウェル25は、内部回路のNウェル形成と同一工程で製造できるので、Nウェル形成用マスクパターンを変更するだけでよく、製造工程のステップが増えることなく形成することができる。

【0026】[第4の実施の形態]図4は本発明の第4の実施の形態の半導体装置に係わるN型トランジスタ31を示し、同図(a)は、N型トランジスタ31の平面図で、同図(b)は(a)のA-A'断面を示す。同図(a)、(b)は、配線層の図示を省略している。本実施の形態の半導体装置は、第2導電型領域を成すNウェル26が、ガードリングに隣接する保護トランジスタのソース16nとガードリング18nとの間にのみ配置されている点において、第3の実施の形態と異なる。即ち、Nウェル26は、ゲート15nの長手方向と平行なガードリング18nの辺と第1のトランジスタ33との間に形成され、ゲート15nの長手方向と直交するガードリング18nの辺と第1のトランジスタ33との間には形成されない。その他の構成は、第2の実施の形態と同様である。図4(b)に示すように、第1のトランジスタ33とガードリング18nとの間のNウェル26は、フィールド酸化膜19の下方に形成されている。本実施の形態の寄生抵抗17dは、第1のPウェル11aと低濃度P型基板10aと第2のPウェル11bとからなり、図面で左右方向に形成され経路と、第1のPウェル11aだけからなり、図面で上下方向に形成され経路とがある。第2の実施の形態と同様、いずれの方向も、所望の寄生抵抗値となるように間隔を決定する。また、製造工程数については、第3の実施の形態と同様、増えることはない。

【0027】[第5の実施の形態]図5は本発明の第5の実施の形態の半導体装置に係わるN型トランジスタ31を示し、同図(a)は、N型トランジスタ31の平面図で、同図(b)は(a)のA-A'断面を示す。同図(a)は、配線層の図示を省略している。本実施の形態の半導体装置は、第2導電型領域を成すNウェル領域が、ガードリング内側のフィールド酸化膜19の下方に、その一端をソース領域16側に0.5 μ mはみ出して形成されて、ソース16n及びNウェル27がグランドに接続される点において、第3の実施の形態と異なる。その他の構成は、第3の実施の形態と同様である。一方、拡散工程において作ることのできる最小のウェル幅は、半導体装置の製造に用いるプロセスにより決まっている。このため第1から第4の実施例のようにウェルを配置した場合には、ガードリングとソース領域との距離は最小ウェル幅の制限を受けてしまう。本実施の形態

においては、Nウェル領域をソース側に入り込ませることで、ガードリングとソース領域との距離を小さくすることができる。

【0028】〔第6の実施の形態〕図6は本発明の第6の実施の形態の半導体装置に係わるN型トランジスタ31を示し、同図(a)は、N型トランジスタ31の平面図で、同図(b)は(a)のA-A'断面を示す。同図(a)は、配線層の図示を省略している。本実施の形態の半導体装置は、第2導電型領域を成すNウェル28が、ガードリングに隣接する保護トランジスタのソース16nとガードリング18nとの間にのみ配置されている点において、第5の実施の形態と異なる。その他の構成は、第5の実施の形態と同様である。

【0029】〔第7の実施の形態〕図7は本発明の第7の実施の形態の半導体装置に係わるN型トランジスタ31を示し、同図(a)は、N型トランジスタ31の平面図で、同図(b)は(a)のA-A'断面を示す。同図(a)は、配線層の図示を省略している。本実施の形態では、ガードリング18nに隣接する保護トランジスタのゲート15nとソース16nとをグランドに接続し同電位とする。更に、ガードリング18nに隣接する保護トランジスタのドレイン拡散領域14nの下方に第2導電型領域を成すNウェル29が4 μ mの幅で形成されている。本実施の形態によると、Nウェル29で囲まれた保護トランジスタは、小さなブレイクダウン電流でスナップバックに入るため、ガードリングに隣接する保護トランジスタより優先的にスナップバックに入り、保護として働く。ガードリングに隣接しない保護トランジスタはガードリングに隣接する保護トランジスタより保護能力が高いため、高い保護能力を有するバッファが構成できる。

【0030】〔第8の実施の形態〕図8は本発明の第8の実施の形態の半導体装置に係わるN型トランジスタ31を示し、同図(a)は、N型トランジスタ31の平面図で、同図(b)は(a)のA-A'断面を示す。同図(a)は、配線層の図示を省略している。本実施の形態の半導体装置は、第2導電型領域を成すNウェル30が、ガードリングに隣接する保護トランジスタのドレイン14の下方にのみ配置されている点において、第7の実施の形態と異なる。その他の構成は、第7の実施の形態と同様である。

【0031】第1、3、5、7、9の実施の形態では、ガードリングに隣接するトランジスタがその他のトランジスタに比べてスナップバック現象に入るのに、寄生トランジスタのベース電位を高くする必要があることに着目し、ガードリングと保護トランジスタの距離を大きくすることなくガードリングに隣接するトランジスタのブレイクダウン電流の流路部分のみ寄生抵抗を大きくするための手法について述べている。

【0032】第2、4、6、8の実施の形態では、第1

導電型又は第2導電型の基板領域を図面で上下部分を除いて左右の部分のみに設置したので、スナップバック現象をより速くオンさせなおかつラッチアップ及び基板動作時のノイズに対して強い半導体装置が実現できる。ラッチアップの防止を目的とするガードリングは、ドレイン拡散領域とガードリングとの間の抵抗が小さいほうが電流の発生源から基板電流を引き抜く点までの基板抵抗が下がりより効果大きい。

【0033】〔第9の実施の形態〕図9は本発明の第9の実施の形態の半導体装置に係わるN型トランジスタ31を示し、同図(a)は、N型トランジスタ31の平面図で、同図(b)はESDサージ電流がグランドに放電する動作を示すグラフを示す。本実施の形態では、ガードリング18nに隣接する保護トランジスタのソース16nとゲート15nとをグランドGNDに接続し、且つ、ガードリング18nに隣接しない保護トランジスタのゲート15nをプリバッファ出力に接続させている。本実施の形態によると、ガードリング18nに隣接する保護トランジスタのチャンネル領域がグランド電位に近い電位に固定されるので、その部分の寄生抵抗が大きくなり、ガードリング18nとの隔離距離が小さくとも、容易にスナップバック現象に入ることができる。

【0034】図9(b)を参照して、本実施の形態の作用について説明する。特に、出力トランジスタのゲートをプリバッファに接続した場合には、ESDサージが侵入すると、容量カップリングでゲート電圧が上昇しチャンネル電流がドレインからソースに流れる。その結果、電流が集中し、Pウェルの寄生抵抗が小さい場合には、ブレイクダウン電流とチャンネル電流との双方がスナップバックに入る前に侵入し、保護トランジスタは、破壊されてしまう(図9(b)の⑦)。

【0035】この場合、特に出力側のプリバッファとして利用される出力トランジスタのゲートを選択的に接地することで、選択された出力バッファ・トランジスタの抵抗値が大きくなり、バイポーラ動作に入る電圧は、隣接する他のトランジスタより高く、スナップバックに入りにくく、バッファ領域にある隣接するトランジスタがスナップバックに入る。このことで隣接する他のトランジスタのESDサージに対する保護動作としてのスナップバック現象を確実にすることができる。実際に本願を適用した試作において、従来1000V(MIL規格)であったESD耐圧が4000Vに改善され、十分な効果が得られることが判明している。

【0036】以上、本発明をその好適な実施の形態に基づいて説明したが、本発明の半導体装置は、上記実施の形態の構成にのみに限定されるものでなく、上記実施の形態の構成から種々の修正および変更を施した半導体装置も、本発明の範囲に含まれる。

【0037】

【発明の効果】本発明の半導体装置によれば、保護トラ

ンジスタのソース及びガードリング間のPウェル層内部に第1導電型又は第2導電型の基板領域を設けたことによりPウェルの寄生抵抗を大きくすることができるのでソースとガードリングの間隔を大きく取る必要がなくなり半導体装置の微細化を可能にする。

【図面の簡単な説明】

【図1】本発明の実施形態を示す半導体装置で、(a)は平面図、(b)はA-A'断面図、(c)は等価回路図を示す。

【図2】本発明の実施形態を示す半導体装置で、(a)は平面図、(b)はA-A'断面図を示す。

【図3】本発明の実施形態を示す半導体装置で、(a)は平面図、(b)はA-A'断面図を示す。

【図4】本発明の実施形態を示す半導体装置で、(a)は平面図、(b)はA-A'断面図を示す。

【図5】本発明の実施形態を示す半導体装置で、(a)は平面図、(b)はA-A'断面図を示す。

【図6】本発明の実施形態を示す半導体装置で、(a)は平面図、(b)はA-A'断面図を示す。

【図7】本発明の実施形態を示す半導体装置で、(a)は平面図、(b)はA-A'断面図を示す。

【図8】本発明の実施形態を示す半導体装置で、(a)は平面図、(b)はA-A'断面図を示す。

【図9】本発明の他の実施形態を示す半導体装置で、(a)は平面図、(b)はESDサージ電流がグランドに放電する動作グラフを示す。

【図10】従来の半導体装置の平面図を示し、(a)は入力保護素子を構成した場合を示し(b)は出力バッファを構成した場合を示す。

【図11】図10の(a)、(b)に対応する半導体装置の回路図、(c)は(b)の一部を出力バッファとした場合を示す。

【図12】従来の半導体装置の(a)は断面図、(b)はESDサージ電流がグランドに放電する動作グラフを示す。

【符号の説明】

10 P型基板

10a、10b 低濃度P型基板領域

11 Pウェル

11a 第1のPウェル領域

11b 第2のPウェル領域

11n N型トランジスタ・ウェル領域

11p P型トランジスタ・ウェル領域

11c ベース

12 寄生トランジスタ

13 スルーホール

14a ドレイン配線層

14c コレクタ

14n N型トランジスタドレイン拡散領域

14p P型トランジスタドレイン拡散領域

15n N型トランジスタゲート電極

15p P型トランジスタゲート電極

16a ソース配線層

16c エミッタ

16n N型トランジスタソース拡散領域

16p P型トランジスタソース拡散領域

17a~17h 寄生抵抗(Pウェル抵抗)

18n N型トランジスタガードリング

18p P型トランジスタガードリング

19 フィールド酸化膜

20 ソース・ガードリング間隔

22 パッド

25 第2導電型の基板領域(Nウェル)(フローティング)

26 第2導電型の基板領域(Nウェル)(フローティング)

27 第2導電型の基板領域(Nウェル)

28 第2導電型の基板領域(Nウェル)

29 第2導電型の基板領域(Nウェル)

30 第2導電型の基板領域(Nウェル)

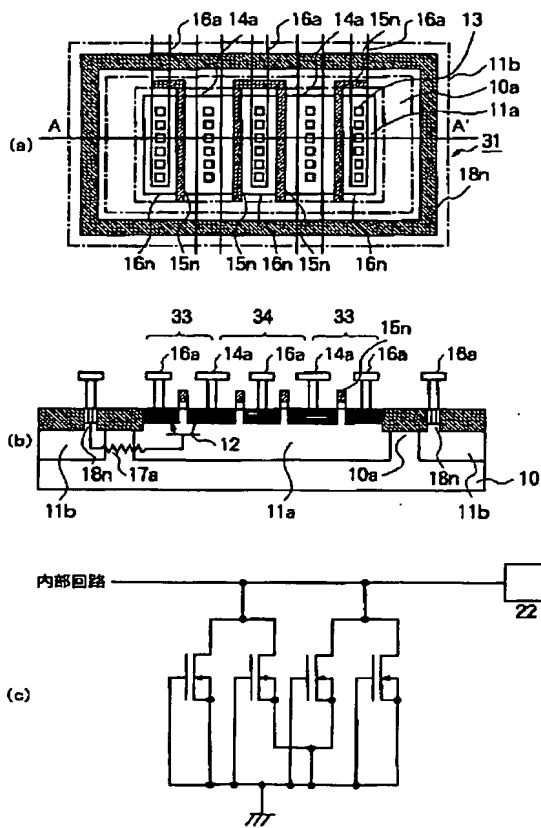
31 N型トランジスタ

32 P型トランジスタ

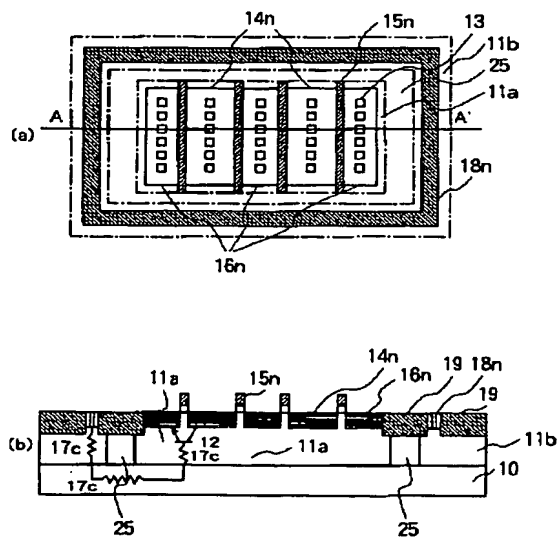
33 ガードリングに隣接する保護トランジスタ

34 ガードリングに隣接しない保護トランジスタ

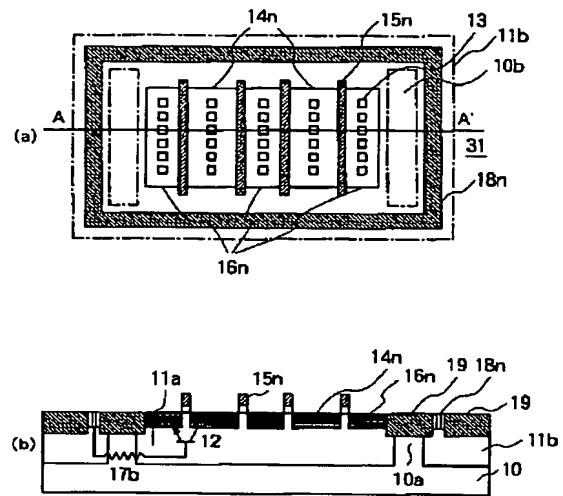
【図1】



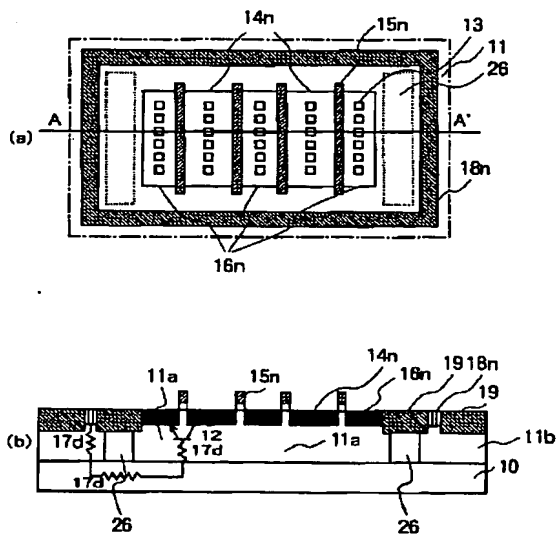
【図3】



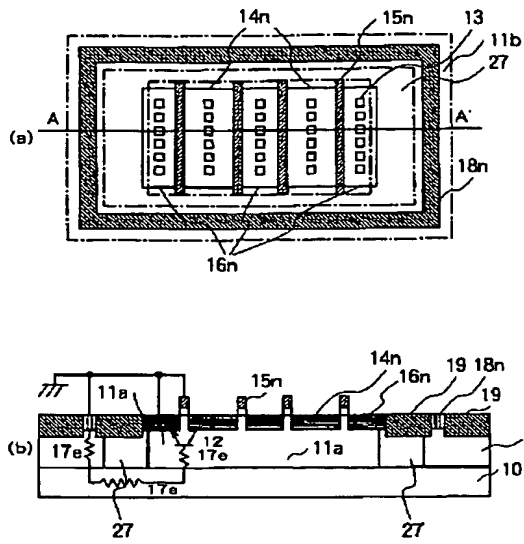
【図2】



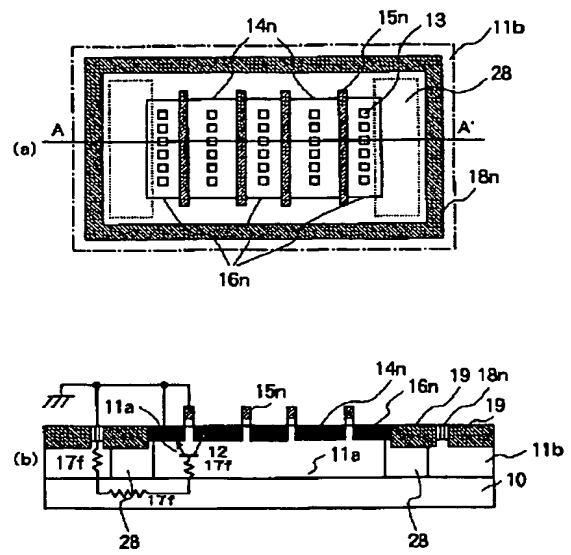
【図4】



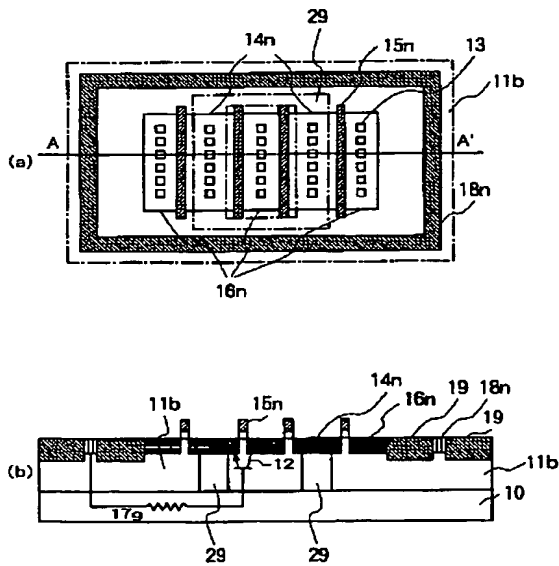
【図5】



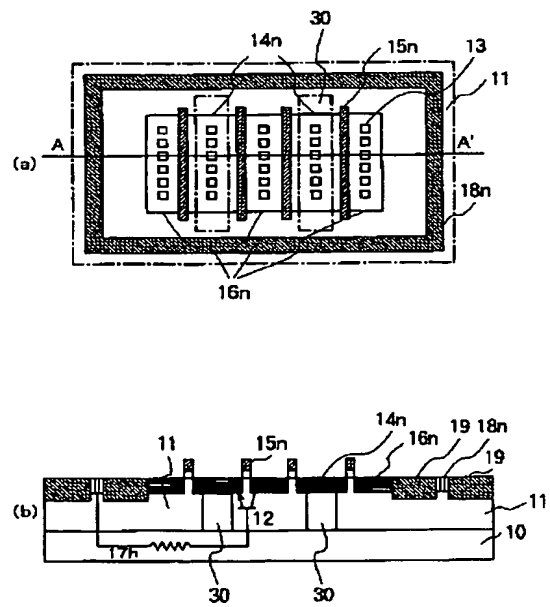
【図6】



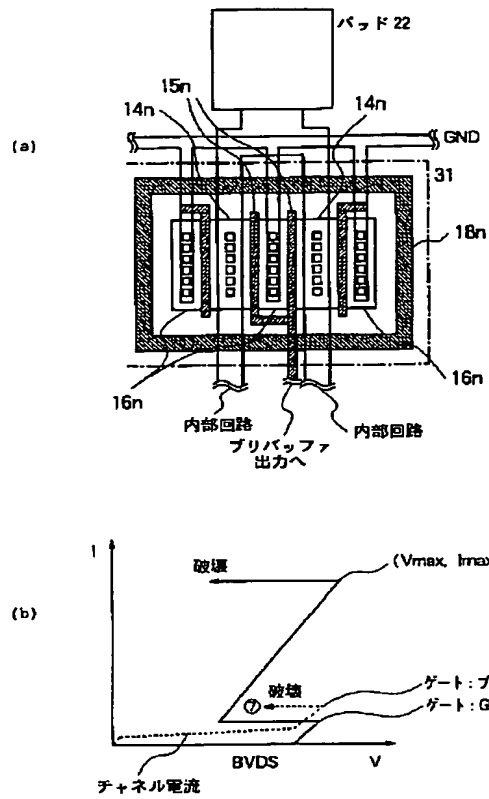
【図7】



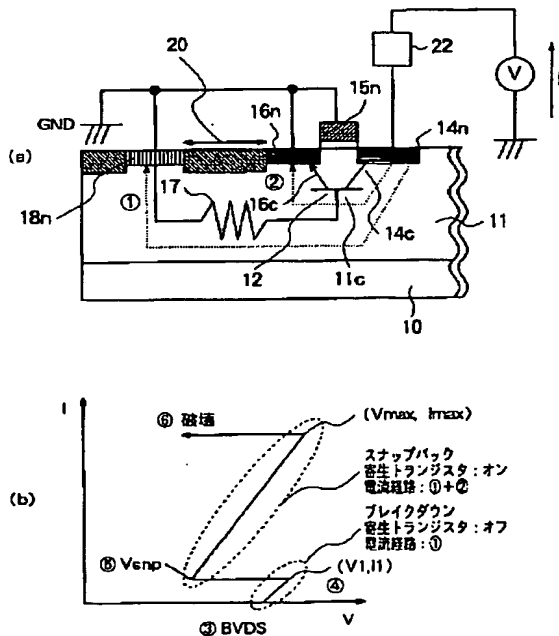
【図8】



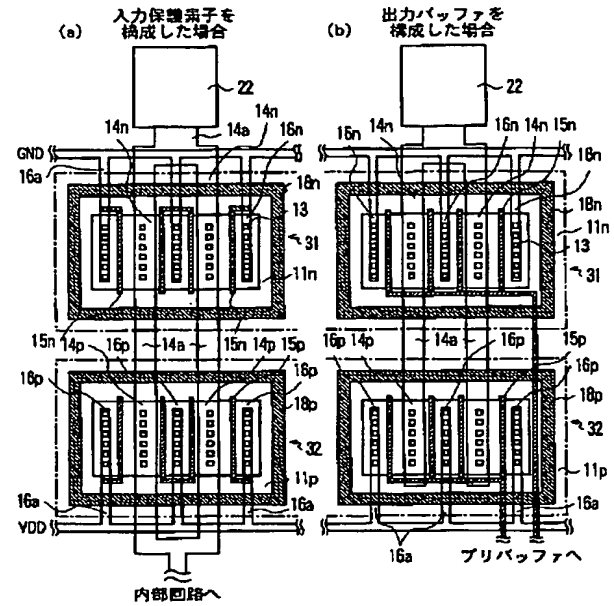
【図9】



【図12】



【図10】



【図11】

